

STUDENTŲ ĮTRAUKIMO Į MOKSLINĘ VEIKLĄ SKATININAMOJO KONKURSO TEMA

Temos pavadinimas: Chaotinio osciliatoriaus modeliavimas, projektavimas ir tyrimas
Tikslas: Sumodeliuoti, suprojektuoti ir eksperimentiškai ištirti chaotinį osciliatorių bei suprojektuoti jo integrinio grandyno (lusto) topologiją.
Šiuolaikinėse elektroninėse sistemose vis svarbesni tampa integriniai grandynai, leidžiantys sudėtingas elektronines funkcijas realizuoti mažame luste. Viena iš įdomesnių integrinių grandynų taikymo sričių yra chaotinių signalų generavimas. Chaotiniai osciliatoriai generuoja neperiodinius signalus, kurie yra jautrūs elektroninės grandinės parametrų pokyčiams. Šio projekto metu studentas susipažins su chaotinių osciliatorių veikimo principais, atliks jų kompiuterinį modeliavimą ir elektrinės schemos projektavimą. Remiantis gautais rezultatais, naudojant „Cadence Virtuoso“ projektavimo aplinką ir 180 nm KMOP technologiją, bus projektuojamas chaotinio osciliatoriaus integrinis grandynas (lustas) ir rengiama jo topologija (layout). Bus atliekamas suprojektuoto lusto modeliavimas, įvertinant parazitinius grandinės parametrus, bei tikrinama, ar integrinis grandynas išlaiko numatytas chaotinio osciliatoriaus charakteristikas. Projekto metu studentas turėtų: • Išanalizuoti chaotinių osciliatorių veikimo principus. • Sumodeliuoti ir suprojektuoti chaotinio osciliatoriaus elektrinę schemą. • „Cadence Virtuoso“ aplinkoje suprojektuoti chaotinio osciliatoriaus integrinį grandyną. • Sukurti integrinio grandyno lusto topologiją (layout). • Atlikti topologijos patikrą ir įvertinti parazitinius parametrus. • Atlikti integrinio grandyno modeliavimą po topologijos išgavimo. • Ištirti generuojamą chaotišką signalą ir palyginti modeliavimo bei teorinius rezultatus. • Esant tinkamiems rezultatams, parengti pranešimą jaunųjų mokslininkų konferencijai ir/arba mokslinę publikaciją.
Temą siūlantis mokslininkas/dėstytojas: prof. dr. Vaidotas Barzdėnas